

Законспектировать материал. Фотоотчёт (1 файл) прислать на эл. почту по расписанию **Обязательно! Прописывать предмет, фамилию в каждом фотоотчёте.**

24.10.24. (15:00 – 16:30)

DV и JK – триггеры

DV-триггер — тактируемый D-триггер, у которого имеется дополнительный управляющий вход **V**. Таблица переходов асинхронного DV-триггера совпадает с табл. 3.6, если в ней заменить символ **C** на символ **V** и, следовательно, DV-триггер описывается аналогичным характеристическим уравнением

$$Q_{(t+1)} = D_t V_t \vee Q_t \bar{V}_t. \tag{3.8}$$

Из (3.8) следует, что триггер сохраняет свое состояние вне зависимости от изменения сигналов на входе **D**, т. е. он функционирует как обычный D-триггер.

Одноступенчатый синхронный DV-триггер может быть образован из D-триггера введением входа **V** параллельно синхронизирующему входу **C** (рис. 3.13, а). Очевидно, что DV-триггер будет переключаться в состояние, соответствующее уровню на входе **D**, лишь при **C=1** и **V=1**. При **V=0** информация со входа **D** не принимается в DV-триггер, так как уровень логической 1 с выходов элементов И-НЕ₂ и И-НЕ₃ блокирует состояние RS-триггера.

Таблица 3.6

Q_t	D_t	C_t	$Q_{(t+1)}$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

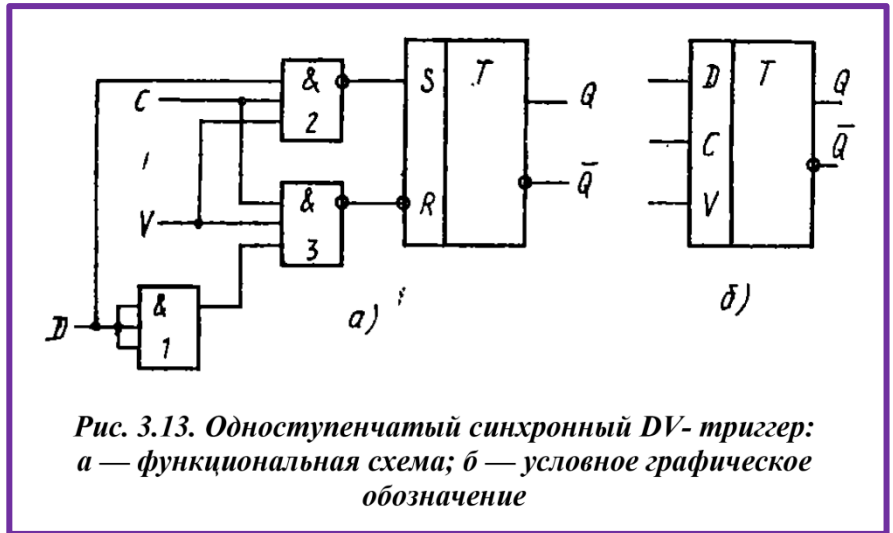


Рис. 3.13. Одноступенчатый синхронный DV- триггер: а — функциональная схема; б — условное графическое обозначение

Наличие двух управляющих входов **C** и **V** в схеме DV- триггера дает возможность один вход **C** использовать для задания временных интервалов, в которые допускается приём информации в триггер, а другой **V** — для подачи сигналов, разрешающих прием в триггер сигнала со входа **D**. При **C= 1** не допускается изменение уровней на входах **D** и **V**.

DV-триггер - универсальный, так как легко превращается в триггер других типов. При входном сигнале **V=1** он функционирует как D-триггер (рис. 3.14, а). Если с выхода **Q** создать обратную связь на вход **D**, то при подаче счетных сигналов **T** на вход **V** полученная схема будет

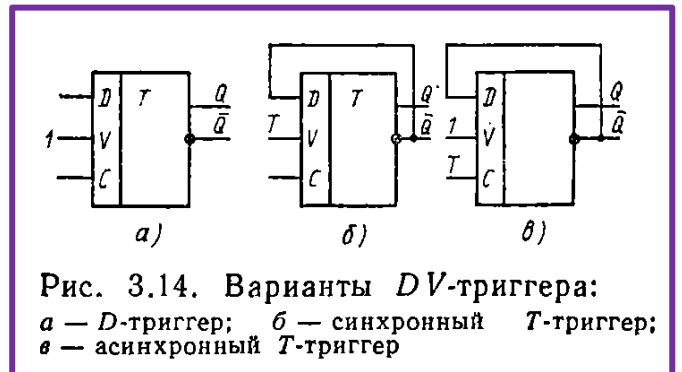


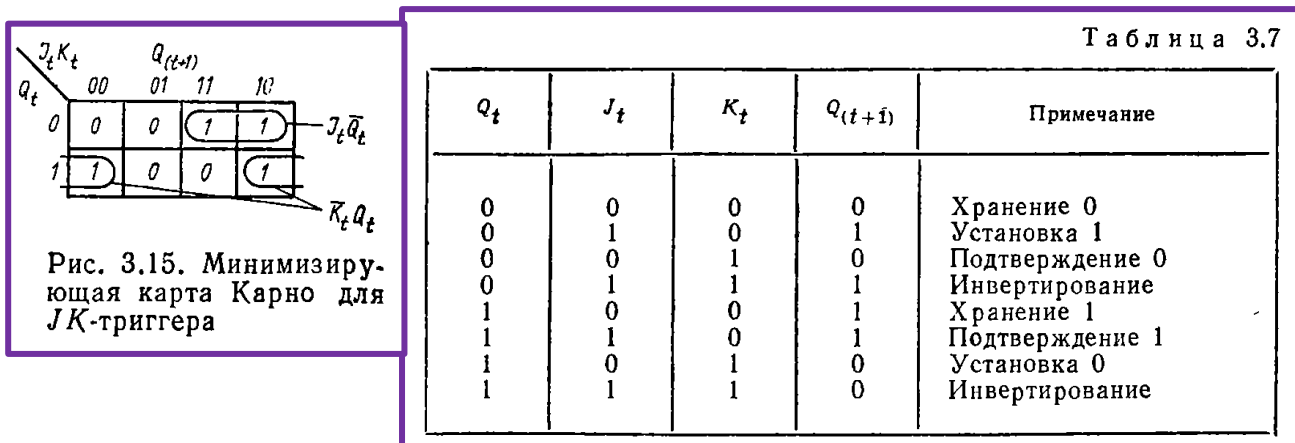
Рис. 3.14. Варианты DV-триггера: а — D-триггер; б — синхронный T-триггер; в — асинхронный T-триггер

функционировать как синхронный Т-триггер (рис. 3.14, б). При подаче сигнала логической 1 на вход V и счетных сигналов T на вход C получается асинхронный Т-триггер (рис. 3.14, в).

JK-триггер. Триггеры этого типа отличаются от **RS**- триггеров тем, что при значениях входной информации, запрещенной для RS-триггеров, они инвертируют хранимую в них информацию.

Функционирование JK-триггера описывается таблицей переходов (табл. 3.7). Используя карту Карно (рис. 3.15), получим характеристическое уравнение для JK-триггера

$$Q_{(t+i)} = \bar{K}_t Q_t \vee J_t \bar{Q}_t.$$



Как видно из табл. 3.7, состояние JK-триггера определяется не только уровнями на информационных входах J и K , но и состоянием Q_t , в котором ранее находился JK-триггер. Это даёт возможность строить функциональные схемы JK-триггеров на двухступенчатых RS-триггерах.

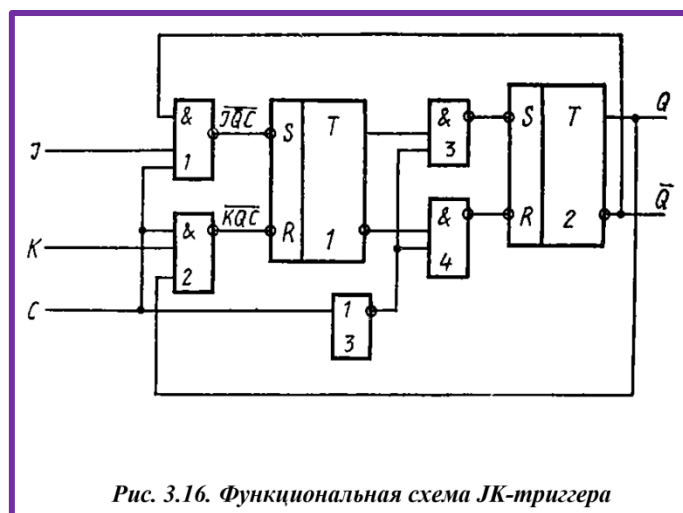
JK-триггеры могут быть асинхронными и синхронными. Интегральные JK-триггеры обычно выполняются синхронными.

Для получения JK-триггера из двухступенчатого синхронного RS-триггера необходимо ввести обратные связи с выходов двухступенчатого PS-триггера на входы логических элементов его первой ступени.

На рис. 3.16 представлена одна из таких функциональных схем JK-триггера. J и K - информационные входы.

Рассмотрим работу JK-триггера. Если $J=K=0$, то на выходах элементов И-НЕ₁ и И-НЕ₂ устанавливается уровень логической 1, триггер T_1 и, следовательно, JK-триггер сохраняют прежнее состояние. Пусть JK-триггер находится в состоянии 0 ($Q=0, \bar{Q}=1$).

Тогда при подаче сигналов $J=1$ и $C=1$ на выходе элемента И-НЕ₁ (рис. 3.16) возникает уровень логического 0, который запишет 1 в триггер T_1 , а после окончания действия синхронизирующего сигнала ($C=0$)



состояние триггера T_1 уровнем логического 0 с выхода элемента $И-НЕ_3$ передается в триггер T_2 , т. е. JK-триггер переключается в состояние 1 ($Q=1, \bar{Q}=0$).

Если теперь на JK - триггер подать сигналы $K=1$ и $C=1$, то с выхода элемента $И-НЕ_2$ логический уровень 0 установит триггер T_1 в состояние 0, а после окончания действия синхронизирующего сигнала ($C=0$) состояние триггера T_1 будет уровнем логического 0 с выхода элемента $И-НЕ_4$ передано в триггер T_2 , т. е. JK-триггер переключается в состояние 0 ($Q=0, \bar{Q}=1$).

Таким образом сочетания сигналов $J=1, K=0$ и $J=0, K=1$ дают возможность сигналом $C=1$ переключать JK- триггер в состояние 1 и 0. Нетрудно убедиться в том, что при $J=K=1$ и $C=1$ JK-триггер изменяет свое состояние на противоположное. Следовательно, при подаче на вход C серии синхронизирующих сигналов ($J=K=1$) JK-триггер работает в счетном режиме.

На базе синхронного JK-триггера можно реализовать синхронный (рис. 3.17, а) и асинхронный (рис. 3.17, б) Т-триггер, D-триггер (рис. 3.17, в) и синхронный RS-триггер (рис. 3.17, г).

При проектировании сложных логических схем необходимы триггеры различных типов. Поэтому выгоднее изготовить универсальный тип триггера, который можно использовать в разных режимах работы и модификациях. В интегральной схемотехнике наибольшее распространение получили синхронные D-и JK - триггеры.

В ЭВМ широко используют JK-триггеры с групповыми J и K и дополнительными установочными R и S входами. Каждая группа входов объединена конъюнкцией (рис. 3.18), что позволяет расширить логические возможности JK - триггера.

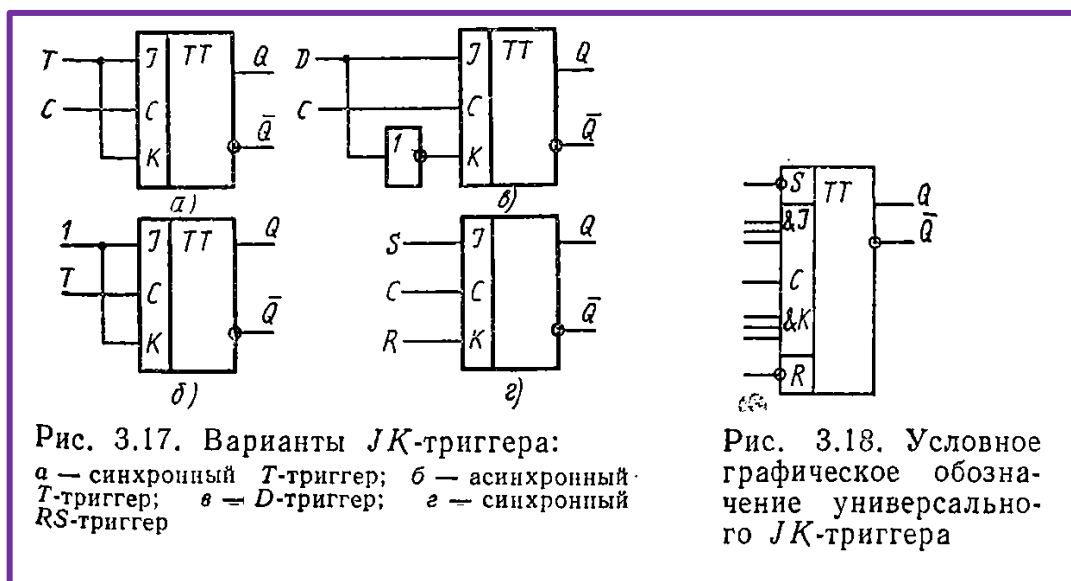


Рис. 3.17. Варианты JK-триггера:
 а — синхронный Т-триггер; б — асинхронный Т-триггер; в — D-триггер; г — синхронный RS-триггер