

Законспектировать материал. Фотоотчёт (1 файл) прислать на эл. почту по расписанию

17.10.24. (11:50 – 13.20)

Шифраторы

Шифратор, или *кодер*, — это узел ЭВМ, преобразующий унитарный код в некоторый позиционный код. Если выходной код является двоичным позиционным, то шифратор называется *двоичным*.

Таблица 3.15

Десятичный код X	Двоичный код 8-4-2-1				Десятичный код X	Двоичный код 8-4-2-1			
	Y_3	Y_2	Y_1	Y_0		Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	5	0	1	0	1
1	0	0	0	1	6	0	1	1	0
2	0	0	1	0	7	0	1	1	1
3	0	0	1	1	8	1	0	0	0
4	0	1	0	0	9	1	0	0	1

Рассмотрим принцип построения 10-входового двоичного шифратора, закон функционирования которого задан таблицей истинности (табл. 3,15). Назначение такого де-

шифратора — преобразовывать входной код, изображающий десятичную цифру 0, 1, 2, ... 9

на соответствующем входе, в двоичный код. На основе табл. 3.15 переключательные функции, описывающие работу шифратора, имеют вид:

$$Y_0 = X_1 \vee X_3 \vee X_5 \vee X_7 \vee X_9;$$

$$Y_1 = X_2 \vee X_3 \vee X_6 \vee X_7;$$

$$Y_2 = X_4 \vee X_5 \vee X_6 \vee X_7;$$

$$Y_3 = X_8 \vee X_9.$$

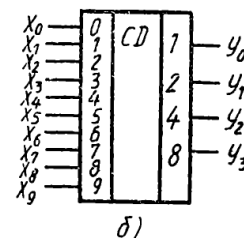
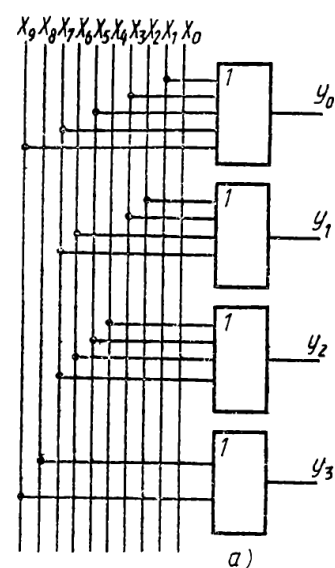


Рис. 3.48. Шифратор на десять входов

На рис. 3.48, *а*, *б* приведены функциональная схема шифратора на 10 входов, реализующая эти выражения, и его условное графическое обозначение.

С помощью шифраторов возможно преобразование цифр десятичных чисел в двоичное представление с использованием любого другого двоично-десятичного кода.

Дешифратор

Дешифратором, или *избирательной схемой*, называют узел ЭВМ, в котором каждой комбинации входных сигналов соответствует наличие сигнала на одной, вполне определенной шине на выходе. Следовательно, максимальное количество выходных шин U дешифратора составляет $m=2^n$, где n — число входов. Дешифраторы широко используются для преобразования двоичных кодов (например, кода операции, кода адреса) в управляющие сигналы для различных устройств ЭВМ.

Дешифратор, имеющий для n - разрядного числа 2^n выходных шин, называется *полным дешифратором*.

Переключательные функции полного дешифратора имеют следующий вид:

$$\left. \begin{aligned} Y_0 &= \bar{X}_{n-1} \bar{X}_{n-2} \dots \bar{X}_1 \bar{X}_0; \\ Y_1 &= \bar{X}_{n-1} \bar{X}_{n-2} \dots \bar{X}_1 X_0; \\ Y_2 &= \bar{X}_{n-1} \bar{X}_{n-2} \dots X_1 \bar{X}_0; \\ &\dots \dots \dots \dots \dots \dots \dots \\ Y_{N-1} &= X_{n-1} X_{n-2} \dots X_1 X_0. \end{aligned} \right\} \quad (3.19)$$

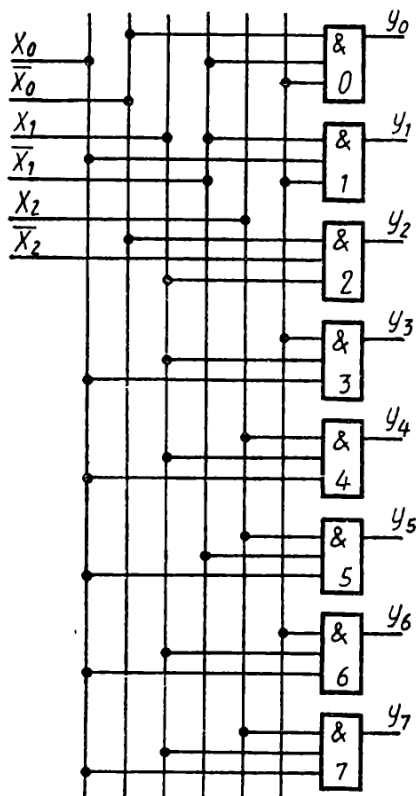


Рис. 3.44. Дешифратор на три входа матричного типа

Различные способы вычисления конъюнкций в системе (3.19) дают возможность получать различные структуры дешифраторов: матричные, пирамидальные и прямоугольные. Пирамидальные дешифраторы в настоящее время практически не применяются, так как они строятся на двухвходовых элементах И и имеют вследствие этого громоздкую структуру и низкое быстродействие.

Дешифраторы относятся к комбинационным схемам и работают совместно с регистрами, счетчиками и другими логическими устройствами.

Матричные или линейные дешифраторы являются одноступенчатыми, так как при их построении используют конъюнкты, число входов которых равно разрядности входного слова.

На рис. 3.44 представлена функциональная схема матричного дешифратора на три входа, реализующих переключательные функции:

$$\begin{aligned} Y_0 &= \bar{X}_2 \bar{X}_1 \bar{X}_0; & Y_4 &= X_2 \bar{X}_1 \bar{X}_0; \\ Y_1 &= \bar{X}_2 \bar{X}_1 X_0; & Y_5 &= X_2 \bar{X}_1 X_0; \\ Y_2 &= \bar{X}_2 X_1 \bar{X}_0; & Y_6 &= X_2 X_1 \bar{X}_0; \\ Y_3 &= \bar{X}_2 X_1 X_0; & Y_7 &= X_2 X_1 X_0. \end{aligned}$$

Время дешифрации в одноступенчатом дешифраторе составляет $T_{дг} = t_{И}$, где $t_{И}$ - время задержки сигнала на элементе И.

Сумматоры

Сумматором называется комбинационный функциональный узел, предназначенный для арифметического сложения двоичных чисел. Основным узлом сумматора является одноразрядный сумматор, на основе которого строятся многоразрядные сумматоры. Одноразрядный сумматор выполняет арифметическое сложение одноразрядных двоичных чисел a_i , b_i и бита переноса c_i из младшего разряда, образуя на выходах значения суммы S_i и бита переноса в старший разряд c_{i+1} . Сумматор, не имеющий бита переноса из младшего разряда, называют полусумматором. Он имеет два входа и два выхода в отличие от «полного» одноразрядного сумматора, имеющего три входа и два выхода. Таблицы истинности для одноразрядных сумматоров показаны в табл. 12.5.

Таблицы истинности сумматора

a_i	b_i	c_i	S_i	c_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

a_0	b_0	S_0	c_0
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

В соответствии с таблицами истинности можно составить характеристические уравнения для одноразрядного полного сумматора и полусумматора:

$$S_i = \bar{a}_i b_i c_i + a_i \bar{b}_i c_i + a_i b_i \bar{c}_i + a_i b_i c_i; S_0 = a_0 b_0 + a_0 \bar{b}_0;$$

$$c_{i+1} = \bar{a}_i b_i + \bar{a}_i c_i + b_i c_i; c_0 = a_0 \bar{b}_0.$$

По полученным характеристическим уравнениям нетрудно синтезировать структурные схемы, используя нужные логические элементы. Выражение для бита переноса c_{i+1} записано после минимизации полного выражения, полученного из таблицы истинности.

Обычно сумматоры выполняются многоразрядными. Число входов и выходов такого сумматора определяется разрядностью слагаемых. Структуру многоразрядного сумматора определяет способ передачи сигнала переноса от младшего разряда к старшему. Различают два основных вида сумматоров: с последовательным и параллельным переносом. На основе этих вариантов разработано несколько видов сумматоров: для сложения параллельных и последовательных операндов, сумматоры групповой структуры, накапливающие сумматоры и др.

В сумматорах с последовательным переносом выход переноса i -разряда последовательно соединен с входом $(i+1)$ -разряда. Структурная схема такого сумматора показана на рис. 12.7.

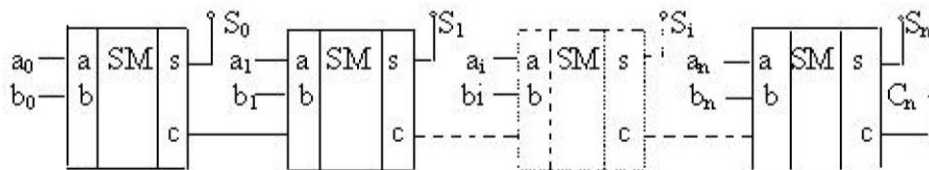


Рис. 12.7. Структурная схема многоразрядного сумматора с последовательным переносом

Важным параметром сумматора является его быстродействие. Для получения максимального быстродействия разработаны сумматоры для параллельных операндов с параллельным переносом. В таких сумматорах сигналы переноса для каждого разряда формируются специальными схемами, на входы которых поступают те переменные, которые необходимы для выработки бита переноса. К ним относятся внешний входной перенос (если он есть) и значения всех разрядов слагаемых, младших относительно данного.

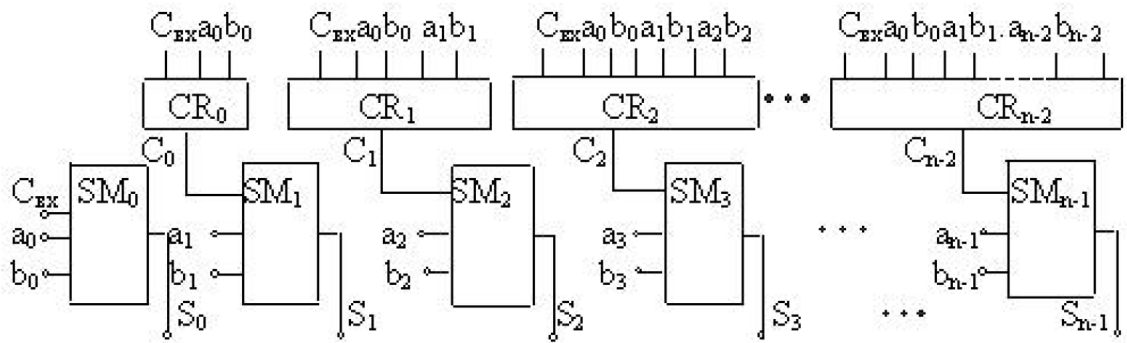


Рис. 12.8. Структурная схема сумматора для сложения двух параллельных операндов с параллельным переносом

Структурная схема сумматора для сложения двух n - разрядных чисел представлена на рис. 12.8, где CR - схемы формирования переносов.

Быстродействие в таких сумматорах достигается за счет того, что биты переносов формируются практически одновременно с формированием результата.

Накапливающий сумматор представляет собой сочетание комбинационного сумматора и тактируемого регистра, причем очередное слагаемое добавляется к содержимому сумматора и результат замещает старое значение суммы.