Материал законспектировать (продолжить конспект).

Фотоотчёт 1 файла прислать на эл. почту:

322: 26.04.24 г. с 11:50 до 13:20

 30.04.24 г. с 10:10 до 11:40

321: 30.04.24 г. с 11:50 до 13:20

**Блок выборки команд и данных**

Рассмотрим назначение и принцип работы ***БВКиД*** на при­мере одноадресной ЭВМ с естественным порядком выпол­нения команд (рис. 6.4). В состав ***БВКиД*** входят: регистр команд ***РгК,*** дешифратор кода операций ***DCKOn,*** счетчик команд ***СТ2К,*** схема управления переходами ***СхУП,*** счет­чик циклов ***СТ2Ц,*** схема обработки адресов ***СхОА.***

Регистр команд ***РгК*** предназначен для приема по сигна­лу «Прием команды» — ***ПК*** из ***ОЗУ*** команды и хранения ее на время выполнения.



Команда содержит код операции ***КОп,*** признак адресации ***ПА,*** номер ***В*** базовый регистр, номер ***X*** индексного регистра и поле ***D*** для хранения отно­сительного адреса команды или операнда.

Дешифратор кода операции ***DCKOn*** предназначен для расшифровки двоичного кода операции ***КОп,*** заданного в команде, и преобразования его в управляющий сигнал ***УС*** для ***БЦУ.*** Под воздействием этого сигнала ***БЦУ*** выраба­тывает серию ***УС,*** необходимых для выполнения заданной операции.

Счетчик команд ***(СТ2К)*** задает последовательность вы­полнения команд программы. Количество разрядов ***СТ2***к должно соответствовать количеству разрядов адреса ячей­ки памяти ***ОЗУ.*** Адрес каждой последующей команды при естественном порядке выполнения команд формируется в СГ2К прибавлением единицы (вход «+1») к адресу предыду­щей команды и выдается в ***СхОА*** сигналом «Выдача адре­са» — ВАК.

Схема управления переходами ***(СхУП)*** используется для изменения естественного порядка выполнения команд под воздействием признаков условного и безусловного пе­реходов (входы ***У±*** и У2) из ***БЦУ.*** При выполнении таких команд сигналом Уст.О счетчик ***СТ2К*** предварительно уста­навливается в нулевое состояние. Затем из ***РгК*** относи­тельный адрес команды, к которой следует перейти, зано­сится в ***СТ2К*** сигналом со ***СхУП.***

Счетчик циклов ***(СТ2Ц)*** фиксирует число невыполнен­ных повторений цикла — участков программы, например. Число повторений из адресной части команды (непосредст­венная адресация) сигналом «Повторение цикла» — ***ПЦ*** заносится в ***СТ2ц.***

При каждом повторении цикла число в ***СТ2ц*** уменьша­ется на 1 (вход «—1»). Выход из цикла происходит по нуле­вому состоянию ***СТ2ц.***

Схема обработки адресов (СхОА) предназначена для преобразования относительных адресов команд и операндов в исполнительные адреса. Обращение к ***ОЗУ*** происходит по сигналу «Выдача исполнительного адреса» — ***ВИА.***

**Блок центрального управления**

При синхронном схемном управлении для выполнения любой операции ***УС*** вырабатываются бло­ком центрального управления операциями ***БЦУОп*** и бло­ком формирования управляющих сигналов ***БФУС*** (рис. 6.6). ***БЦУОп*** вырабатывает последовательность ***УС*** под воздей­ствием сигналов с дешифратора ПСкоп. блока выборки команд и данных ***БВКиД*** и временной последовательности тактовых импульсов из блока синхронизации ***БС.*** Конструктивно ***БЦУОп*** состоит из логических схем ***И*** и усилителей-формирователей ***F*** (рис. 6.7). Тактовые им­пульсы ***ТИ1*** и ***ТИ2*** обеспечивают временные соотношения следования управляющих сигналов с выхода усилителей- формирователей ***F.***

При асинхронном схемном управле­нии (рис. 6.8) управляющие сигналы ***УС,*** необходимые для выполнения операции, вырабатываются соответствующими автономными блоками местного управления операциями ***БМУОп*** под воздействием тактовых импульсов из ***БС.*** Каждый ***БМУОп*** обслуживает только одну операцию. После выполнения операции ***БМУОп*** вырабатывает сигнал, под воздействием которого ***БС*** прекращает выдавать в него тактовые импульсы.

При синхронно-асинхронном схем­ном управлении для выполнения операций, требующих приблизительно одинакового времени выпол­нения, ***УС*** вырабатываются ***БЦУОп,*** а для выполнения операций, не укладывающихся во времени в основной цикл, ***УС*** вырабатывают ***БМУОп***

















Блок управления оперативной памятью

Блок управления оперативной памятью (БУОП) обеспечи­вает непосредственный доступ к ОП как со стороны бло­ков процессора, так и со стороны периферийных устройств через каналы ввода-вывода. Сложность БУОП возрастает



с увеличением количества каналов, блоков процессоров, имеющих доступ к *ОП*, и блоков *ОП*, включаемых в состав модели ЭВМ.

Рассмотрим принцип управления *ОП* по упрощенной структурной схеме, приведенной на рис. 6.14. В ее состав входят: схема анализа запросов и формирования управ­ляющих сигналов *СхАнЗиФУС*, входной регистр запрос­ного слова *РгЗС1,* выходной регистр запросного слова *РгЗС2,* приемный регистр информации *ПРгИ*, схемы комму­тации *СхК1* и *СхК2*, схема анализа адреса *СхАнА*, узел управления оперативной памятью *УУОП.*

Запросы абонентов *ЗАБ1*, *ЗАБ2…… ЗАБN* на обслу­живание *ОП* обрабатываются с учетом их приоритета.

Схема *СхАнЗиФУС* выявляет и фиксирует старший по приоритету запрос. В результате обработки выявленного сигнала запрета *СхАнЗиФУС* формирует код адреса (но­мера) обслуживаемого абонента *А*Аб и образует один из сигналов *λ*, который заносит в *РгЗС1* запросное слово от обслуживаемого абонента.







**Общие сведения об АЛУ**

















